

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-298083

(P2001-298083A)

(43)公開日 平成13年10月26日(2001.10.26)

(51)Int.Cl.<sup>7</sup>H 0 1 L 21/768  
21/312

識別記号

F I

H 0 1 L 21/312  
21/90

テ-マコ-ト\* (参考)

C 5 F 0 3 3  
A 5 F 0 5 8  
C

審査請求 未請求 請求項の数15 O L (全 10 頁)

(21)出願番号 特願2000-111976(P2000-111976)

(22)出願日 平成12年4月13日(2000.4.13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 林 哲也

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100086645

弁理士 岩佐 義幸

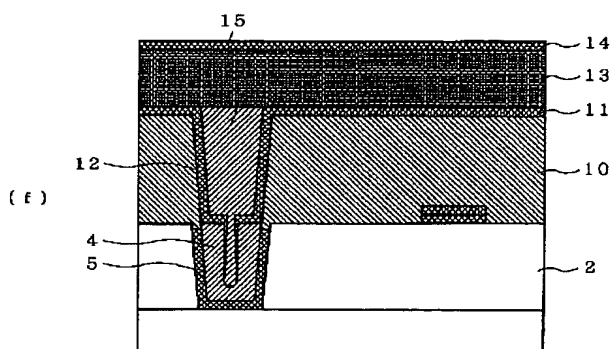
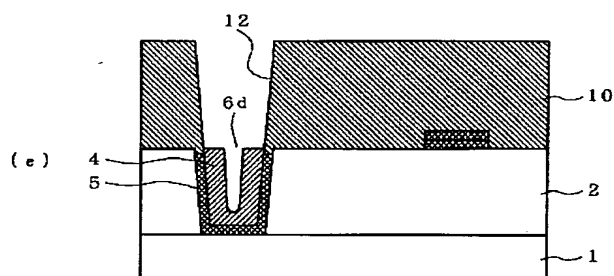
最終頁に続く

## (54)【発明の名称】 半導体装置及びその製造方法

## (57)【要約】

【課題】 基板上に複数段に重なって設けるビアホールを介して、半導体回路配線が多層配線構造で設けられ、上層配線、下層配線及び拡散層とが電氣的に導通され、下部ビアホールの埋込み配線プラグ形成時に生ずるボイドに係わる障害を発生させない多層配線構造を有する半導体装置及びその製造方法を提供することである。

【解決手段】 ビアホールが少なくとも2段重ねで設けられている多層配線構造を有する半導体装置において、下部層間絶縁膜2中の下部ビアホール5の部位に重ねて上部層間絶縁膜10中の上部ビアホール12を形成させるに際して、下部ビアホール内に配線プラグ4中に生じたボイド6dをSOG塗布法等で埋込み、パターンエッチングで上部ビアホール12を形成させる等のエッチング時、このボイド6dが浸食拡張されて、基板1等に迄、浸食させることを効果的に防止された複数段重ねのビアホールを有する半導体装置及びその製造方法である。



1

## 【特許請求の範囲】

【請求項1】多層配線構造を有し、基板上にビアホールを少なくとも2段に重ねて設ける半導体装置の製造方法において、

下部層間絶縁膜に、下部ビアホールを開孔し、前記下部ビアホール内面を含む前記下部層間絶縁膜上の全表面にバリア金属膜を堆積し、次いで、前記下部ビアホール内に配線プラグを埋込み、前記配線プラグ中に生じたボイド内に、所定の埋込み材を埋込み、

所定のパターンでエッチングさせて前記バリア金属膜からなる所定のパターンを形成し、

次いで、上部層間絶縁膜を形成させた後、前記下部ビアホール上に重なる前記上部層間絶縁膜の部位に、エッチングによって上部ビアホールを開孔し、前記上部ビアホール内に配線プラグを埋込み、基板上に少なくとも2段にビアホールを重ねて設けることを特徴とする半導体装置の製造方法。

【請求項2】多層配線構造を有し、基板上にビアホールを少なくとも2段に重ねて設ける半導体装置の製造方法において、

下部層間絶縁膜に、下部ビアホールを開孔し、前記下部ビアホール内面を含む前記下部層間絶縁膜上の全表面にバリア金属膜を堆積し、

次いで、前記下部ビアホール内に配線プラグを埋込み、前記配線プラグ中に生じたボイド内の全部又はその一部を含む前記バリア金属膜上の全表面に、電気不良導体材を堆積し、

所定のパターンでエッチングさせて前記バリア金属膜と前記電気不良導体材膜とからなる所定のパターンを形成し、

次いで、上部層間絶縁膜を形成させた後、前記下部ビアホール上に重なる前記上部層間絶縁膜の部位に、エッチングによって上部ビアホールを開孔し、前記上部ビアホール内に配線プラグを埋込み、基板上に少なくとも2段にビアホールを重ねて設けることを特徴とする半導体装置の製造方法。

【請求項3】前記上部ビアホールを開孔させるエッチング時に、前記ボイド内に埋込まれた所定の埋込み材の全部を除去することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記上部ビアホールを開孔させるエッチング時に、前記ボイド内に堆積された所定の電気不良導体材の全部を除去することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】前記電気不良導体材膜が、前記バリア金属膜のパターニング時の反射保護膜として形成されることを特徴とする請求項2又は4に記載の半導体装置の製造方法。

【請求項6】前記埋込み材は、SOG塗布法によって形

2

成されることを特徴とする請求項1又は3に記載の半導体装置の製造方法。

【請求項7】前記電気不良導体材は、プラズマCVD法によって形成されるSiON膜であることを特徴とする請求項2、4又は5に記載の半導体装置の製造方法。

【請求項8】前記配線プラグ材が、Al、Mo及びWの金属、Al、AlCu、Ti、Mo及びWのSi合金及び多結晶シリコンの群から選ばれた少なくとも1種であることを特徴とする請求項1～7に記載の半導体装置の製造方法。

【請求項9】前記バリア金属膜が、TiN(上層)/Ti(下層)の積層膜であることを特徴とする請求項1～8の何れかに記載の半導体装置の製造方法。

【請求項10】前記ビアホールが、基板上に下部と上部との2段重ねで設けられていることを特徴とする請求項1～9の何れかに記載の半導体装置の製造方法。

【請求項11】前記ビアホールが、下部と少なくとも1段の中間部と上部との少なくとも3段重ねで設けられていることを特徴とする請求項1～9の何れかに記載の半導体装置の製造方法。

【請求項12】前記上部ビアホールを除く前記ビアホールの開孔間口径が、0.4μm未満であることを特徴とする請求項1～11の何れかに記載の半導体装置の製造方法。

【請求項13】多層配線構造を有し、基板上には複数段に層間絶縁膜を有している半導体装置であって、上記複数段の層間絶縁膜に開孔されている上部と下部のビアホールが、又は上部と少なくとも1段の中間部と下部のビアホールが、基板上の上下方向に少なくとも2段に重なって設けられ、且つ前記ビアホール内に配線プラグが埋込まれ、て上層配線層と下層配線又は前記配線と基板上拡散層とが電氣的に導通されていることを特徴とする半導体装置。

【請求項14】前記下部と前記上部とのビアホール内面、又は前記上部と少なくとも1段の中間部と下部とのビアホール内面を含む中間層層間絶縁膜上及び上層層間絶縁膜上に、バリア金属膜を有し、前記下部及び／又は前記中間部のビアホールの配線プラグ中に生じたボイド内には、犠牲膜として施された所定の埋込み材又は電気不良導体材が除去された後に、前記配線プラグ材が埋込まれ、

且つ前記下層層間絶縁膜上及び／又は中間層層間絶縁膜上には、前記バリア金属と反射保護膜、又は前記バリア金属と前記電気不良導体材の膜とからなる所定のパターンを有し、

ていることを特徴とする請求項13に記載の半導体装置。

【請求項15】前記上部のビアホールを除く前記ビアホールの開孔間口径が、0.4μm未満であることを特徴とする請求項13又は14に記載の半導体装置。

3

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳細には、基板上に複数段に設けられている層間絶縁膜を介して、ビアホールが複数段に基板上の上下方向に重ねて設けられている多層配線構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来から、半導体装置を製造するに際して、シリコン基板上に施されているシリカ、窒化シリコン、BPSG等の層間絶縁膜上にアルミニウム等の金属電極膜をパターン成膜させて半導体集積回路が形成されている。

【0003】近年は、この半導体集積回路が、益々微細化、高集積化の傾向にあるなかで、その高密度化の一端として半導体集積回路が多層配線構造を形成している。

【0004】すなわち、集積回路の集積密度を高めたLSIを構成するには、配線も多層構造になり、SiO<sub>2</sub>等の層間絶縁膜による分離構造にして、縦方向の構造が切り立った垂直な立体的構造になり、複雑な凹凸形状の段差を有する構造となっている。

【0005】そのため、例えば、配線としてAlを形成させると、Al膜の配線に断線や層間絶縁不良等の障害を発生させる傾向から、このような段差構造のない多層配線構造であることが極めて重要である。

【0006】また、このように多層配線構造を有する半導体装置において、複雑化する縦（又は基板上の上下）方向に対する製造工程に係わって、品質を低下させず、しかも、製造コストを低減化させることは重要であり、益々その実現を困難させていることが実状である。

【0007】そこで、従来からこのような半導体集積回路を設ける半導体装置を製造するに際しては、スパッタリング、CVD、レジスト塗布、エッチング等の処理に、ウエハの表面を平滑化、平坦化させる方法としてのCMP、塗布法（SOG法）、流動化法（リフロー）、エッチバック法及びバイアススパッタ法等の処理技術が組合わされているのが一般的である。

【0008】また、このようにして製造される、多層配線構造を有する半導体集積回路を単純化させるため、従来から、各層間絶縁膜を介してビアホール（又はコンタクトホール）を設けて下層と上層の配線を接続させる配線構造が知られている。

【0009】そこで、このような多層配線構造とコンタクトホールに係わって、例えば、特開平4-372157号公報には、多層配線構造を有する半導体装置が記載され、図6を参照すると、基板31上の第1層層間絶縁膜32（又は下部層間絶縁膜）とその上に設けた第2層層間絶縁膜37（又は上部層間絶縁膜）とに、それぞれコンタクトホール32a、37aを設けている。しかしながら、これらのコンタクトホールは、各層間絶縁層を

4

介して、互いに重なることなく、基板上の横方向に離れた位置に設けられているものである。

【0010】また、特開平5-304216号公報には、基板上の段差形状をなす下層金属配線上の層間絶縁膜に、段差をなすコンタクトホールが設けられ、この層間絶縁膜上に上層金属配線を設けるに際して、スパッタでコンタクトホール内を含む層間絶縁膜上に高融点金属配線膜を堆積させ、次いで、この上にプラズマCVD法で絶縁膜を堆積させ、エッチバックにて、コンタクトホール内に絶縁膜を残して埋込むことで、上層金属配線を設ける際に、コンタクトホールにボイドが発生させないようにしている。

【0011】

【発明が解決しようとする課題】以上のような状況下において、多層配線構造を有する半導体装置においては、従来から、層間絶縁膜にコンタクトホール（以下、ビアホールと称す）を設けて下層配線と上層配線又はこれらの配線層と基板上拡散層を接続させることが、一般的に行われている。

【0012】また、近年の半導体集積回路の高集積化、高密度化に伴い、このようなビアホールの開孔間口が一層狭まり、ビアホールのアスペクト比が益々大きくなっている。例えば、このようなビアホールにAl金属等の配線プラグをスパッタ法で堆積させると、シャドーイング効果なる現象を起し、ビアホール内にボイド（空洞）を生じさせる傾向にある。しかも、このような高集積化により、ビアホールの間口が、一層狭まり、このようなボイドの発生を防止させることが益々困難になっている。

【0013】このようなボイドを残して、多層配線に係わって、パターニングや、エッチング等を施すと、これらのエッチング過程で、そのボイドが拡張浸食されて基板にまで達してしまう。その結果、配線プラグ（コンタクト抵抗）を高抵抗にさせたり、ビアホール自体の信頼性を著しく損ねることになる。

【0014】また、このような状況下で、多層配線構造を有する半導体装置において、既に上述した公報例である図6からも明らかなように、コンタクトホール32a、37aを介して上下配線を電氣的に導通させることができて、基板31上に設けるコンタクトホールが、層間絶縁膜32と37を介して、重なるような構造でなければ、基板上の上下方向に余分なスペースを残すことになる。また、特に、基板上の横方向に、ウエハを狭めて配線構造をコンパクト化させ難くしている。

【0015】その結果、コンタクトホールが、互いに横方向に離れた部位にあることで、多層配線に係わって基板横方向の構造を単純化させて、より高密度、高集積化させ難い構造になることがよく判る。

【0016】また、上下の層間絶縁膜にビアホールを設けて、基板上の配線に係わる横方向の構造を単純化させ

5

て、高密度化、高集積化等を図るために、下部ビアホールに重なるようにして上部ビアホールを形成させた場合には、既に上述した周知事実の如く、下部ビアホールにボイドが発生し、その上部ビアホールをパターンエッチングで形成させるに際して、下部ビアホール内の配線プラグ中のボイドを更に浸食（エッチング）させて、上述したような障害を発生させることになる。

【0017】すなわち、このような事実は、図4及び図5を参照して説明すると、図4（a）において、基板41上の下層層間絶縁膜42に開孔した下部ビアホールに、配線プラグ49を堆積させると、この配線プラグ中には、ボイド46bを発生させる。

【0018】このようなボイドを抱えた状態で、例えば、図4（b）に示す如く、フォトリソを塗布させて、パターンエッチングで、バリアメタル膜43と反射保護膜44とからなるパターンを形成させると、このエッチング中にこのボイド46bは、浸食されてボイド46cに示す如く、この配線プラグ層を更に掘り下げ、ビアホール底部のバリアメタル膜44をも浸食させてしまう。

【0019】また更には、図4（c）に示す如く、下層層間絶縁膜42上に上層層間絶縁膜47を設け、この層間絶縁膜47に、例えば、下部ビアホール48に重なるように上部ビアホール45をパターンエッチングで開孔させるに際しては、このボイド46cが、更に拡張浸食されて、ボイド46dになってしまう。

【0020】従って、多層配線構造を有する半導体装置において、ビアホールを複数段に重ねた多層配線構造にさせるには、未だ十分に満足される製造方法には至っていない。また、近年の如く、半導体装置が益々高密度化、高集積化されて、基板上の構造が一段と複雑化且つ微細化されるに伴う多層配線構造が、未だ満足されるように単純化され難いのが実状である。

【0021】そこで、本発明の目的は、多層配線構造を有する半導体装置であって、基板上に、各層間絶縁膜に設けるビアホールを、少なくとも2段に重なるように複数段を設けて、このビアホールに埋込む配線プラグ中に、ボイドが発生しても、従来のようにボイドによって引き起こされる種々なる影響を完全に防止することができ、しかも、複数段に重なるビアホールを介して、上層配線と下層配線又はこれらの配線層と基板上拡散層とが高信頼性で、高安定に導通させられる半導体装置の製造方法を提供することである。

【0022】また、本発明の他の目的は、LSI、VLSI、USLI等の高密度化、高集積化の半導体装置において、半導体配線回路が、多層配線構造を形成させ、複雑化する配線回路を、基板上の縦方向に集約させて、多層配線構造をより単純化、基板上の装置占有面積を縮小させることができる半導体装置の製造方法を提供することである。

6

【0023】更には、本発明によれば、このような製造方法によって得られる多層配線構造を有し、この構造に係わってビアホールが、複数段に上下方向に重なって設けられて、複数段に重ねて設けたビアホールを介しての配線と拡散層等の電気導通性に優れ、しかも、多層配線構造がより単純化、その配線占有面積が縮小され、より高密度化を可能にさせることを特徴とする多層配線構造を有する半導体装置を提供することである。

【0024】

【課題を解決するための手段】本発明者らは、上述する課題に鑑みて、その課題を解決すべく鋭意検討を行った結果、複数段に設ける層間絶縁膜を介した、多層配線構造を有する半導体装置において、各層間絶縁膜に開孔されるビアホールに着目することで、多層配線構造を単純化されることを見出して、本発明を完成させるに至った。

【0025】すなわち、本発明によれば、このように各層間絶縁膜を介して、複数段にビアホールを重ねて設けても、しかも、半導体集積回路の高密度化、高集積化にあって、ビアホールの開孔間口が一層狭まって、このビアホールに配線プラグを堆積させる際、生ずるボイド（空洞）に全く影響されることなく、上下配線層又はこれらの配線層と基板上拡散層とを効果的に、高信頼性、高安定に導通させることを特徴とする多層配線構造を有する半導体装置及びその製造方法を提供する。

【0026】また、本発明によれば、多層配線構造を有する半導体装置であって、基板上の各層間絶縁膜に設けるビアホールが、少なくとも2段に重なった部位に複数段にビアホールが設けられ、この多層配線構造に係わって、基板の縦方向及び横方向に配線構造を単純化、その占有面積を縮小させることを特徴とする多層配線構造を有する半導体装置及びその製造方法を提供する。

【0027】そこで、本発明においては、基板上の下部層間絶縁膜上に、下部ビアホールを開孔させた後、この下部ビアホール内面を含む下部層間絶縁膜上の全表面に第1バリアメタル膜を成長させる。

【0028】次いで、この下部ビアホール内に配線プラグ材を堆積させ（埋込ませ）、且つ第1バリアメタル膜の全表面を含めてこの配線プラグ材を成長（堆積）させた後、例えば、エッチバックにて平坦化させると共に、この配線プラグ材を下部ビアホール内に堆積されているものだけにする。

【0029】次いで、バリアメタル膜上にスパッタ法でTiN膜を形成させる。この時点で、配線プラグ中に生じているボイドに対して、このボイド内に、犠牲膜として施す所定の埋込み材を埋込むために、このTiN膜上に、例えば、流動性の液状シリカ化合物を塗布（SOG）させ、キュア（固化）させた後、例えば、エッチバックさせて、このボイド内を所定の埋込み材で埋め込む。

7

【0030】次いで、下部ビアホール上を含むTiN膜上の全表面にフォトリソレジストを塗布させ、露光・現像、パターンエッチングさせて、TiNとバリアメタル膜とが異なる所定のパターンを下部層間絶縁膜上に形成させる。

【0031】次いで、上部層間絶縁膜を形成させ、例えば、CMP法で平坦化させた後、パターンエッチングさせて、この上部層間絶縁膜上であって、且つ下部ビアホールと重なる部位に、上部ビアホールを開孔させる。

【0032】ここで、本発明においては、この下部ビアホールの配線プラグに生じているボイドには、犠牲膜として埋込み材が埋められていることから、この上部ビアホールを開孔させるパターンエッチングを行っても、ボイド内の埋込み材の全部又はその一部が浸食（エッチング）されるだけで、このボイドが更に拡張・進行して浸食されることが全く起こらないし、このエッチング時にこの犠牲膜を同時に除去することができる。

【0033】次いで、上部ビアホール内を含む全表面に反射保護膜を形成させた後、この上部ビアホール内に配線プラグを埋込み平坦化させることで、この配線プラグ面を含め、反射保護膜上に上層配線膜を形成することができる。

【0034】その結果、基板上に少なくとも2段重ねされたビアホールを介して、上層配線層と下層配線層又はこれらの配線層と基板上拡散層とが、完全に電氣的に導通される。

【0035】また、本発明においては、この下部ビアホール内に配線プラグ中に生ずるボイドに係わって引き起こされる障害を防止させる対処方法として、上述した流動性のシリカ化合物を塗布・キュアさせる第1の対処法とは異なる別途の第2の対処法を提供する。

【0036】すなわち、所定の電気不良導体材を、例えば、プラズマCVD法で、この配線プラグ中に生じたボイド内の全部又はその上部の一部に犠牲膜として堆積させると共に、バリアメタル膜上の全表面にこの電気不良導体材の膜を成長（堆積）させる。従って、この第2の対処法は、エッチング時に拡張浸食を防止させるボイドを保護させる犠牲膜としての堆積とバリアメタルのパターニングの反射防止膜としての堆積を同時に形成させる。

【0037】これによって、以後の製造工程として、上述した同様の製造工程を実施させても、同様にボイドによる障害を引き起こすことなく、上層配線膜が形成されて、基板上に少なくとも2段重ねされたビアホールを介して、上層配線層と下層配線層又はこれらの配線層と基板上拡散層とを電氣的に導通させられる。

【0038】

【発明の実施の形態】以下に、図1～図3を参照して、本発明による半導体装置及びその製造方法の実施形態について更に説明する。

8

【0039】そこで、既に上述した本発明による半導体装置及びその製造方法について、図1(a)～(d)及び図2(e)、(f)を参照して説明する。

【0040】図1(a)において、基板1上に設けられた下部層間絶縁膜2上に、下部ビアホール5が開孔されている。この下部層間絶縁膜2としては、SiO<sub>2</sub>膜や、BPSG等が挙げられ、本発明においてはSiO<sub>2</sub>膜や、BPSG膜又はこれらの積層膜が適宜好適に使用される。

【0041】また、その膜厚は、通常、600～1000nm範囲にあって、好ましくは、600～800nm範囲にあるのが好適である。

【0042】また、下部ビアホール5の開孔間口径は、半導体回路の集積度や密度等にもよるが、本発明による製造方法では、通常、0.4μm未満の極狭の間口径であって、0.38μm以下、更には0.32μm以下で0.28μm以上の極狭の間口径を有するビアホールにも適宜対処することができ、その底部径は、設けられている層間絶縁膜の膜厚にもよるが、通常、0.22～0.28μmの範囲にある。

【0043】このように極狭の間口径であっても、通常、重ねられるビアホールは、深さ方向に順次細くなるテーパ状ビアホールとして（テーパエッチング法）形成され、フォトリソグラフィ技術による目合わせずれを含め、十分に目合わせマージンがとれ、重ねられたビアホール間の配線プラグを接続することができる。

【0044】このように開孔された下部ビアホール5内面を含み、下部層間絶縁膜2上の全上面にバリアメタル膜3を成長（成膜）させる。本発明においては、特に限定した材質を選ぶものではないが、下地の層間絶縁膜との密着性、低抵抗率、成膜性等から、バリアメタル膜3として、TiN（上層）／Ti（下層）の積層膜が適宜好適に使用される。

【0045】その膜厚は、例えば、スパッタ法で成長させて、TiNとして40～70nm／Tiとして20～40nmの範囲で適宜使用される。

【0046】次いで、この下部ビアホール5に配線プラグを堆積させる。このプラグ材を堆積させるには、スパッタ法でも、プラズマCVD法でも適宜に選んで堆積（形成）させることができる。

【0047】そこで、例えば、プラグ材として、W金属をCVD法で、上述したバリアメタル膜3上に成長させることができる。すなわち、WF<sub>6</sub>ガスを原料に用いて、シランガス（SiH<sub>4</sub>）やH<sub>2</sub>で基板温度400℃で還元反応させる（WF<sub>6</sub> + SiH<sub>4</sub> → W + SiF<sub>4</sub> + 4HF）。これによって、W膜4が、下部ビアホール5の穴を埋めるように堆積されると同時に、バリアメタル膜3上の全面に成膜される。

【0048】ここで、既に上述した要因により、また、既に上述した、近年の高集積化に伴ない、ビアホールの

9

開孔間口径が、一層狭まる傾向にあって、益々ポイドが発生し易くなり、ポイドの発生を防止させることが極めて困難であるのが一般的である。図1(a)に示す如く、配線プラグ中に生じるポイド6aの大きさは、その幅で表して、通常、0.0数 $\mu\text{m}$ の大きさである。

【0049】また、上述した配線プラグ材として、例えば、抵抗率が $10^{-6} \sim 10^{-5} \Omega \text{cm}$ の範囲にある、Al、Mo、W等の金属や、AlCuSi、AlSi、TiSi、MoSi、WSi、PtSi等の合金（又は金属シリサイド）を挙げることができる。

【0050】本発明において、特に限定されるものではないが、プラグ材として埋込んだ後の安定性等から高融点であるW材が適宜好適に使用される。また、高融点配線プラグ材として、W金属に限定されるものではなく、他の高融点金属や、高融点金属シリサイドや、これらの複合膜でもよい。

【0051】次いで、図1(a)に示されているように、基板平坦部の全面に堆積させている配線プラグ材4をエッチバックさせて、下部ビアホール5内に埋込まれている配線プラグ材以外を取り除き、全面を平坦にさせてバリアメタル膜3を露出させる。

【0052】ここで、図1(b)に示す如く、このバリアメタル膜3上に、例えば、スパッタ法でTiN7を、膜厚20~40nm範囲で成長させる。ここで、前工程で形成させてバリアメタルのTiN/Tiに加えて、TiNを形成させるのは、このバリアメタルを配線として利用する場合に、必要に応じて、この配線抵抗を適宜調整するために形成されるので、本発明においては、必ずしも必要とするものではない。

【0053】次いで、本発明による製造法の特徴として既に上述した、配線プラグ中に生じているポイド6bの対処法が講じられる。

【0054】その第1の対処法として、図1(c)に示す如く、このポイド6b内に犠牲膜として埋込み材8を埋め込む。例えば、SOG塗布法が挙げらる。すなわち、シリコン基板をスピニングさせながら、 $\text{SiO}_2$ 、 $\text{CH}_3\text{SiO}_3/2$ 、 $(\text{CH}_3)_2\text{SiO}$ 、 $(\text{CH}_3)_3\text{SiO}_3/2$ 等の組合わせ共重合体であるメチルシリコンワニスや、 $\text{CH}_3\text{SiO}_3/2$ 、 $(\text{CH}_3)_2\text{SiO}$ 、 $\text{C}_6\text{H}_5\text{SiO}_3/2$ 、 $(\text{C}_6\text{H}_5)(\text{CH}_3)\text{SiO}$ 、 $(\text{C}_6\text{H}_5)_2\text{SiO}$ 等の組合わせ共重合体であるフェニルメチルシリコンワニスや、変性シリコンワニス等の有機シリコン液材を塗布させ、例えば、400℃で10~20分間のアニール処理を施した後、エッチバックさせて、このポイド6bにSOGを埋込むものである。

【0055】また、本発明においては、このような有機系SOGの他に無機系SOGが適宜好適に使用することができる。

【0056】更には、このような第1の対処法の塗布法の他に、 $\text{O}_3/\text{TEOS}[\text{Si}(\text{OC}_2\text{H}_5)_4]$ によ

10

るCVD法によって対処させることができる。すなわち、400℃程度の常圧CVDで、 $\text{O}_3$ とTEOSとを原料に用いることで、このポイドに流し込める流動性の良い形状で、 $\text{SiO}_2$ が酸化膜を形成でき、同様にエッチバックさせて、ポイドを埋込むことができる。

【0057】これによって、図1(d)に示す如く、このTiN膜7上に、フォトリソを塗布し、露光・現像し、パターンエッチングさせて、下部層間絶縁膜上にバリアメタル膜3とTiN膜7とからなるパターンを形成させても、埋込み材8（犠牲膜）によって保護されているので、全くポイド6bが拡張浸食されない。

【0058】また、この図1(d)の工程に続いて、又はこの工程前の何れかにおいて、本発明において、図2(e)に示す如く、上部層間絶縁膜10を形成し、CMP処理にて平坦化させた後、この上部層間絶縁膜10上に上部ビアホール12を開孔させるに際して、このビアホール12が、下部ビアホール5に重なるように、パターンエッチング（反応性イオンエッチング）で開孔させても、その浸食は、図1(d)に示す埋込み材8を浸食させて除去されるに止まり、図2(e)に示す如く、全くポイド6dは、拡張浸食されない。

【0059】また、このパターンエッチングで上部のビアホールを開孔するに際して、この埋込み材と一緒に除去（エッチング）されることは、本発明の製造方法の利点でもある。なお、ビアホールをパターンエッチング（反応性イオンエッチング）させるに、例えば、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{C}_2\text{F}_6$ 等のガスに、 $\text{O}_2$ 、Arを添加した混合ガスが使用される。

【0060】その結果、図2(e)に示す如く、基板1上に設けた下部層間絶縁膜2と上部層間絶縁膜10とを介して、下部ビアホール5及び上部ビアホール12を、基板上において、縦方向に2段に重なるように形成させても、全く下部ビアホールに生じているポイドに係わって引き起こす、既に上述した種々の障害を完全に、効果的に防止させられることがよく判る。

【0061】また、本発明において、このような同様の目的である第2の対処法を製造工程に、適宜に組合わせることができる。

【0062】すなわち、図3(a)~(c)において、既に上述した図1(a)~(b)の製造工程後、図3(a)に示す如く、例えば、 $\text{SiON}$ 膜等の所定の電気不良導体材16（絶縁材）を、プラズマCVD法で、この配線プラグ中に生じたポイド内部の全部又はポイドの上部の一部に犠牲膜として堆積させて埋込むと同時に、既に上述した如く、反射防止膜をも兼ねて $\text{SiON}$ 膜を堆積させることができる。

【0063】ここで、図3(a)に示す如く、ポイド6bを完全に電気不良導体材16で埋込む必要がない。また、既に上述した如く、この第2の対処法は、図3(a)に示す如く、同時に下部層間絶縁膜の平坦部に形

11

成されているバリアメタル上の全表面にも電気不良導体材の膜16が堆積(成長)されて、この電気不良導体材の膜16が、バリアメタルのパターニング時の反射保護膜として形成されることになる。

【0064】従って、第1の対処法のように、反射保護膜の形成工程を設けなければならない場合であっても、第2の対処法によれば、別途に反射保護膜を形成させる必要のないことが特徴である。

【0065】すなわち、第1の対処法では、SOGによる単にボイドを保護する目的だけの犠牲膜であるが、この第2の対処法によるSiONは反射防止膜としても有用であり、これをボイドの保護にも兼ねて堆積させられ、このボイドに堆積したSiONが犠牲膜となるが、その他の堆積層は、反射保護膜として利用されることが特徴である。

【0066】また、この反射防止SiONは、製造工程にもよるが、近年の微細なパターンのリソグラフィーには必要な膜であり、反射防止SiONを必要とする場合に、工程を増やすことなく、ボイドを保護できることになる。この場合に、図3(b)に示す如く、バリアメタルのパターニングの前に同じフォトリソパターンで反射防止SiONのパターニングを行うに際しては、ボイド内に残るようにオーバーエッチングさせないことが重要である。なお、このような反射防止SiONのエッチングは、例えば、CF<sub>4</sub>等のガスが使用される。

【0067】このように成長させた電気不良導体材の膜16の膜厚が、100~200nmで、特に、反射保護膜として形成させる場合には、30~100nm膜厚程度に成長させればよい。

【0068】これによって、この電気不良導体材の膜16上にフォトリソを塗布し、露光・現像、所定のパターンエッチングで、図3(b)に示す如く、下部層間絶縁膜上に所定のバリアメタル3と電気不良導体材の膜16とからなるパターンを形成させても、全くボイド6bは、犠牲膜として埋込まれている電気不良導体材16によって拡張浸食されることがない。なお、バリアメタルのTiN/Tiのエッチングでは、Cl<sub>2</sub>、BCl<sub>3</sub>等のガスが使用されるので、Siの酸化物系であるボイド内の犠牲膜は、ほとんど浸食(エッチング)されない。

【0069】また、図3(b)の工程に続いて、図3(c)に示す如く、上部層間絶縁膜10を成長させ、CMP処理にて平坦化させた後、この上部層間絶縁膜に、上部ビアホール12を開孔するに際して、下部ビアホール5に重なるようにパターンエッチングさせても、その浸食は、図3(b)に示す埋込み材16を浸食させて除去されるに止まり、図3(c)に示す如く、全くボイド6dは、浸食されることがない。

【0070】以上のように、本発明においては、特に、そのビアホールの開孔間口径が、0.4μm未満の極微

12

細径であっても、下部層間絶縁膜に下部ビアホールを開孔させ、配線プラグを埋込み、発生するボイド対処法を講ずることができる。次いで、上部層間膜-上部ビアホール開孔-配線プラグ埋込み-ボイド対処させ、下部ビアホール上に、上部ビアホールを重ねて、上層面から基板面に貫通させ、且つ配線プラグが埋込まれている2段重ねのビアホールを有する多層配線構造とすることができる。

【0071】このように順次に下部ビアホール上に、上部ビアホールを積重ねて形成させるので、下部、中間部及び上部に少なくとも3段以上にビアホールを重ねて、同様に上層から基板面に貫通するビアホールを形成することができ、且つ配線プラグが埋込まれたビアホールとすることができる。

【0072】しかも、その内壁がバリアメタル膜で被膜(又は被着)され、且つ内部にW等の配線プラグを設けても、従来の処理技術では困難であったビアホール配線プラグに生ずるボイドに起因する障害を起こすことなく、本発明による製造方法を適宜好適に適用することができるのである。

【0073】また、ビアホール内に導電性材料で配線プラグを埋込むに際して、又は配線プラグ中に生じたボイドに犠牲膜を埋込むに際しては、通常の一般的な方法としての、ブランケット全面膜形成後の、全面エッチバック法だけでなく、このエッチバックの代わりにCMPを行ってもよいし、また、ビアホール内に配線プラグ材を選択成長させるか、或いはこの選択成長にCMPを組合わせて適宜対処することもできる。

【0074】また、本発明において、図1(b)、(c)及び図2(e)、(f)を参照して説明すると、配線プラグのボイド6bに対して、第1及び第2の対処法によって埋込み材8及び電気不良導体材16〔図3(b)参照〕がボイドに埋め込まれる。既に上述した如く、上部ビアホール形成時や、パターン配線形成時に、同時にボイド内に埋め込まれたこれらの埋込み材及び電気不良導体材自体は、エッチングで浸食されながらボイドを保護しながら完全に除去(再度掘起)できるので〔図2(e)参照〕、上部ビアホール開孔時に、ボイドの更なる浸食を防止する犠牲膜となっている。

【0075】また、この犠牲膜は、既に上述したように、図2(f)から明らかなように、このボイドを保護するためボイドに埋込んだ埋込み材又は堆積させた電気不良導体材自体であって、ビアホールを順次に2段、3段に積み重ねて開孔させる際には、層間絶縁膜と同系のSiの酸化物系である犠牲膜は、この開孔のエッチングで同時に除去される。

【0076】また、この上部ビアホールに配線プラグを埋込む際に、配線プラグ材によって、容易に再埋込みすることができる。本発明による多層配線構造を有する半導体装置の製造方法は、積重ねビアホールを介して、多

13

層配線間、配線層と基板上拡散層との安定した電氣的導通を達成させることができる。

【0077】なお、本発明においては、例えば、図2を参照すると、上部ビアホールにはボイドが発生した形跡が図示されていないが、必要に応じて、積み重ねた最上部ビアホールのアスペクト比が大きくなってボイドを発生させても、最上部のビアホールにあっては、プラグ形成時のボイド発生又はそのボイドを残したまま、次工程を実施させても、既に上述した如くの諸問題を引き起こすものではない。

【0078】

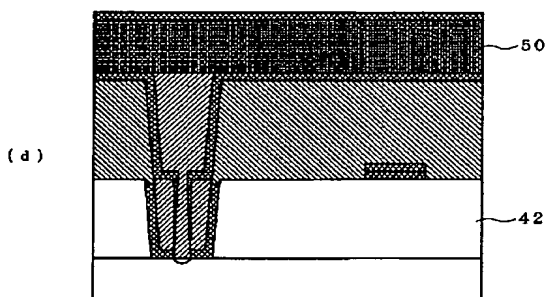
【発明の効果】以上から、本発明によれば、基板上の複数段に設けられた層間絶縁膜に設ける複数のビアホールが、基板上の上下方向に複数段に重ねて設けられ、しかも、ビアホールの開孔間口径が、従来に比べて著しく極狭であることを特徴とする多層配線構造を有する半導体装置及びその製造方法を提供できる。

【0079】これにより、基板上の各層間絶縁膜に設けるビアホールを、少なくとも2段に重なるように複数段として設けても、この配線プラグ中に生ずるボイドによる影響を完全に防止できることから、上層配線と下層配線及びこれらの配線層と拡散層とが、高信頼性で、高安定に導通された多層配線構造を有する半導体装置を提供できる。

【0080】また、ビアホールを開孔させるにその間口径を大きくさせる必要がなく、しかも、このビアホールを基板上の横方向に並べて設けずに縦方向に集約させて設けられ、LSI、VLSI、USLI等の高密度化、高集積化で複雑化する多層配線構造をより単純化、基板上での装置占有面積を縮小させることができる。

\* 30

【図5】



14

\* 【図面の簡単な説明】

【図1】本発明による製造工程の一実施例を示す。

【図2】図1に示す製造工程の実施例の続きを示す。

【図3】本発明による製造工程の別の実施例を示す。

【図4】従来技術により2段重ねでコンタクトホールを有する半導体装置を製造した場合に発生する障害を説明する工程図である。

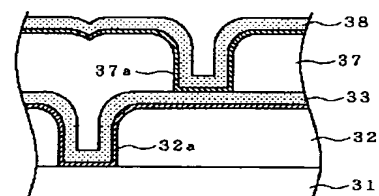
【図5】図4に示す工程図の続きを表す。

【図6】従来法におけるコンタクトホールが2段に設けられている多層配線構造を有する半導体装置を示す図である。

【符号の説明】

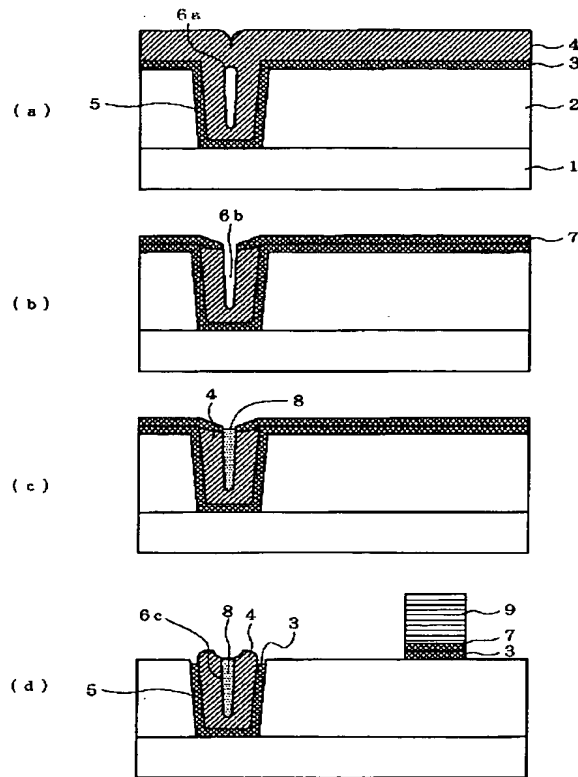
- 1, 31, 41 基板
- 2, 32, 42 下部層間絶縁膜
- 3, 43 バリアメタル
- 4, 15, 49 配線プラグ
- 5, 32a, 48 下部ビアホール（又は下部コンタクトホール）
- 6a, 6b, 6c, 6d ボイド
- 7 TiN膜
- 11, 14, 44 反射保護膜
- 8 埋込み材（ボイドの埋込み材、又は犠牲膜）
- 9 フォトリソグ
- 10, 37, 47 上部層間絶縁膜
- 12, 37a, 45 上部ビアホール（又は上部コンタクトホール）
- 13, 38, 50 上層配線層
- 16 電気不良導体材
- 33 下層配線層

【図6】

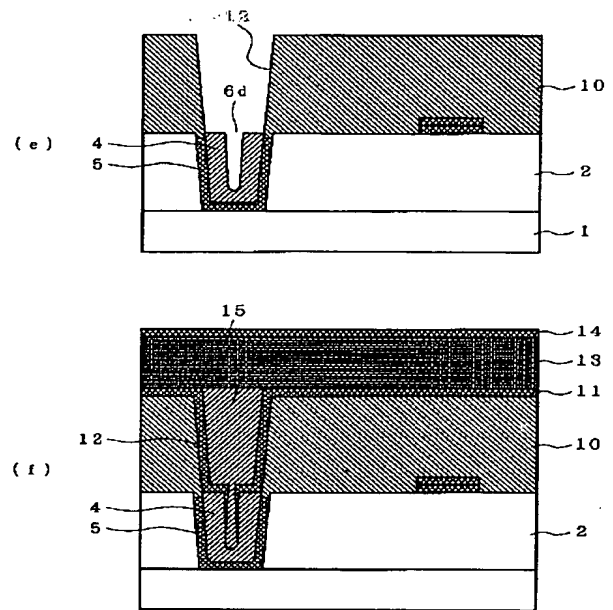




【図1】



【図2】



【図3】

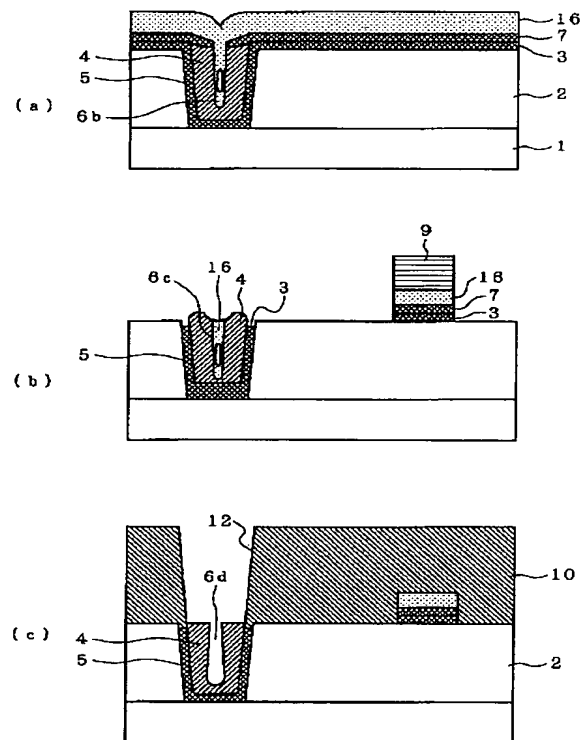


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).

- (a)** Shows a substrate 41 with a layer 42 on top. A trench 48 is formed in layer 42. A conductive material 43 is deposited in the trench 48, forming a plug 45. The top surface of the plug 45 is labeled 46a.
- (b)** Shows the same structure as (a), but with an additional layer 44 deposited on top of layer 42. The top surface of the plug 45 is now labeled 46c.
- (c)** Shows the structure after further processing. A layer 47 is deposited on top of layer 44. A trench 49 is formed in layer 47, exposing the top surface 46c of the plug 45. The top surface of the plug 45 is now labeled 46d.

Fターム (参考)	5F033	HH08	HH09	HH18	HH19	HH20
		HH26	HH27	HH28	HH29	HH33
		JJ08	JJ09	JJ18	JJ19	JJ20
		JJ26	JJ27	JJ28	JJ29	JJ33
		KK08	KK09	KK18	KK19	KK20
		KK26	KK27	KK28	KK29	KK33
		MM05	NN07	PP06	PP07	PP15
		QQ04	QQ08	QQ09	QQ13	QQ31
		QQ34	QQ48	RR04	RR15	XX03
		5F058	AA06	AC03	AF04	AG01
	BA09	BC20	BF46	BH01	BJ05	